

テクニカルノート

Migrating from Macronix's MX25L12835F to Micron's N25Q 128Mb Flash Device

はじめに

本テクニカルノートは、Micron® N25Q (128Mb) と MX25L12835F フラッシュ メモリ デバイスの機能を比較することを目的としています。比較した機能には、メモリ構成、パッケージオプション、信号説明、ソフトウェア コマンドセット、電氣的仕様、デバイス識別が含まれます。

メモリ配列アーキテクチャ

表 1: デバイス比較

N25Q 機能	MX25L 機能
1 - 256 バイトのプログラミング	1 - 256 バイトのプログラミング
セクタ 消去のユニフォーム (64KB)	セクタ 消去のユニフォーム (32KB と 64KB)
ユニフォームサブセクタ消去(4KB)	ユニフォームサブセクタ消去(4KB)
消去/書き込み寿命 100,000 サイクル	消去/書き込み寿命 100,000 サイクル
データ保持 20 年	データ保持 20 年

パッケージ構成

表 2: パッケージ構成

パッケージ	N25Q	MX25L	注記
V-PDFN-8 (8mm x 6mm)	Yes	Yes	
V-PDFN-8 (6mm x 5mm) Sawn	Yes	Yes	1
SOP2-16/300 mils (ミル)	Yes	Yes	
SOP2-8/208 mils (ミル)	Yes	Yes	
T-PBGA-24b05 (6mm x 8mm, 5 x 5 ball)	Yes	NO	

注: 1. MX25L は、Sawn V-PDFN-8 (6mm x 5mm) パッケージに対応しません。

信号説明

表 3: 信号説明

N25Q 信号	MX25L 信号	タイプ	概要	注記
C	SCLK	入力	シリアルクロック	
DQ0	SI/SIO0	入力または I/O	シリアルデータ入力または I/O	
DQ1	SO/SIO1	出力または I/O	シリアルデータ出力または I/O	
S#	CS#	入力	チップセレクト	
W#/V _{pp} /DQ2	WP#/SIO2	入力または I/O	書き込み禁止/強化プログラム 供給電圧または I/O	1
HOLD#/DQ3	RESET#/SIO3	入力または I/O	HOLD または I/O	2, 3
V _{CC}	V _{CC}	入力	供給電圧	
V _{SS}	GND	入力	グラウンド	

- メモ:
1. V_{pp} は、MX25L12835F デバイスでは使用できません。
 2. RESET# 機能は、専用のパーツ番号を持つデバイスで使用できます。N25Q では、RESET# が HOLD# に取って代わります。
 3. Macronix SOP2-16 パッケージには、RESET# 用の専用ピンがあります。

コマンド

表 4: コマンド セット

コマンド	コマンドコード N25Q	コマンドコード MX25L	注記
RESET 操作			
READ ENABLE	66h	66h	
RESET MEMORY	99h	99h	
RESET QUAD I/O	N/A	F5h	
NOP	N/A	00h	
PERFORMANCE ENHANCE MODE RESET		FFh	1
IDENTIFICATION 操作			
READ ID	9E/9Fh	9Fh	
MULTIPLE I/O READ ID	AFh	AFh	
READ ELECTRONICS SIGNATURE	N/A	ABh	
READ MAN & DEV ID	N/A	90h	
READ SERIAL FLASH DISCOVERY PARAMETER	5Ah	5Ah	
READ 操作			
READ	03h	03h	
FAST READ	0Bh	0Bh	
DUAL OUTPUT FAST READ	3Bh	3Bh	
DUAL INPUT/OUTPUT FAST READ	BBh	BBh	
QUAD OUTPUT FAST READ	6Bh	6Bh	
QUAD INPUT/OUTPUT FAST READ	EBh	EBh	
WRITE 操作			
WRITE ENABLE	06h	06h	
WRITE DISABLE	04h	04h	
REGISTER 操作			
READ STATUS REGISTER	05h	05h	
WRITE STATUS REGISTER	01h	01h	
READ LOCK REGISTER	E8h	2Dh	
WRITE LOCK REGISTER	E5h	2Ch	
READ FLAG STATUS REGISTER	70h	N/A	
CLEAR FLAG STATUS REGISTER	50h	N/A	
READ NONVOLATILE CONFIGURATION REGISTER	B5h	N/A	
WRITE NONVOLATILE CONFIGURATION REGISTER	B1h	N/A	
READ VOLATILE CONFIGURATION REGISTER	85h	N/A	
WRITE VOLATILE CONFIGURATION REGISTER	81h	N/A	
READ ENHANCED VOLATILE CONFIGURATION REGISTER	65h	N/A	
WRITE ENHANCED VOLATILE CONFIGURATION REGISTER	61h	N/A	
READ SECURITY REGISTER	N/A	2Bh	

表 4: コマンド セット (Continued)

コマンド	コマンドコード N25Q	コマンドコード MX25L	注記
WRITE SECURITY REGISTER	N/A	2Fh	
READ CONFIGURATION REGISTER	N/A	15h	
AUTOBOOT REGISTER READ	N/A	16h	
AUTOBOOT REGISTER WRITE	N/A	17h	
PPB LOCK BIT WRITE	N/A	A6h	
PPB LOCK BIT READ	N/A	A7h	
DYB READ	N/A	E0h	
DYB WRITE	N/A	E1h	
PPB READ	N/A	E2h	
PPB PROGRAM	N/A	E3h	
PPB ERASE	N/A	E4h	
PASSWORD READ	N/A	27h	
PASSWORD PROGRAM	N/A	28h	
PASSWORD UNLOCK	N/A	29h	
WRITE PROTECTION SELECTION	N/A	68h	2
ENABLE QUAD I/O	N/A	35h	
SET BURST LENGTH	N/A	C0h	
GANG BLOCK LOCK	N/A	7Eh	
GANG BLOCK UN-LOCK	N/A	98h	
PROGRAM 操作			
PAGE PROGRAM	02h	02h	
QUAD INPUT FAST PROGRAM	32h	N/A	
QUAD INPUT/OUTPUT FAST PROGRAM	12h	38h	
OTP PROGRAM	42h	N/A	
DUAL INPUT FAST PROGRAM	A2h	N/A	
DUAL INPUT/OUTPUT FAST PROGRAM	D2h	N/A	
ERASE 操作			
BULK ERASE	C7h	60h または C7h	
SECTOR ERASE – 64KB	D8h	D8h	
SECTOR ERASE – 32KB	N/A	52h	
SUB-SECTOR ERASE – 4KB	20h	20h	
PROGRAM/ERASE SUSPEND	75h	B0h	
PROGRAM/ERASE RESUME	7Ah	30h	
ONE-TIME PROGRAMMABLE (OTP) 操作			
READ OTP ARRAY	4Bh	N/A	
PROGRAM OTP ARRAY	42h	N/A	
ENTER SECURE OTP	N/A	B1h	3

表 4: コマンド セット (Continued)

コマンド	コマンドコード N25Q	コマンドコード MX25L	注記
EXIT SECURE OTP	N/A	C1h	
DEEP POWER-DOWN			
DEEP POWER-DOWN	B9h	B9h	4
RELEASE FROM DEEP POWER-DOWN	ABh	ABh	

- メモ:
1. XIP (Execution in place) デバイス リセット。参照 リセット アルゴリズム。
 2. SRAM ビットは N25Q ロック レジスタに相当します。WRITE PROTECTION SELECTION コマンドによって有効化されている MX25L SRAM ビットと比較した場合、BPx ビット ステータスに関係なく N25Q ロック レジスタは常に使用可能であり、これらは READ/WRITE LOCK REGISTERS コマンドによって有効化されます。
 3. これらのコマンドは OTP 配列へのアクセスを有効化する際に必要ありません (Macronix デバイスのように 4Kb に代わり 64B)。N25Q は、READ OTP/PROGRAM OTP 仕様コマンドを使用することができます。
 4. DEEP POWER-DOWN 操作は、N25Q 1.8V デバイスのみで実施できます。

表 5: 同一のコマンド コードを共有する異なるコマンド

コマンド コード	N25Q 128Mb コマンド	MX25L12835F コマンド
ABh	RELEASE FROM DEEP POWER-DOWN	RELEASE FROM DEEP POWER-DOWN および READ ELECTRONIC SIGNATURE
B1h	WRITE NVCR	ENTER SECURE OTP

READ コマンド

N25Q と MX25L デバイスの READ/FAST READ コマンドは同一です。

N25Q と MX25L デバイス共に、構成可能ダミー サイクルがあります。MX25L のダミー サイクルは、構成レジスタ ビット 7 と 8 で構成することができます。N25Q のダミー サイクルは、不揮発性構成レジスタ ビット 12~15、または揮発性構成レジスタ ビット 7~4 で構成することができます。

N25Q では、クアッド コマンドは拡張 SPI プロトコルのレジスタ設定なしで使用することができますが、MX25L では、WRSR コマンドを介したクアッド有効ビット設定が必要になります。

クアッド I/O SPI プロトコルは、両デバイスで使用可能です (さらなる詳細は N25Q のデータシートを参照)。N25Q は、VECR または NVCR 設定を介してこのプロトコルを開始または終了することができます (パワーアップが構成可能である場合)。MX25L は、専用演算コードで開始または終了することができます (常に SPI モードでパワーアップ)。

表 6: 各周波数ごとに必要な最低ダミー サイクル数

周波数 MHz	FAST READ		DUAL OUTPUT FAST READ		DUAL I/O FAST READ		QUAD OUTPUT FAST READ		QUAD I/O FAST READ	
	N25Q	MX25L	N25Q	MX25L	N25Q	MX25L	N25Q	MX25L	N25Q	MX25L
≤50	1	6	1	6	1	4	2	6	3	4
≤80	1	6	1	6	3	4	4	6	6	6
≤90	1	6	2	6	4	6	4	8	8	8
≤104	3	6	4	6	6	6	6	8	9	8
≤133	-	10	-	10	-	10	-	10	-	10

注: 1. パフォーマンス向上モードを MX25L デバイスで構成するには (N25Q デバイスでの XIP [Execute-in-Place])、上記の表にあるように、2つのダミー クロック サイクルを構成します。(N25Q デバイスは、XIP に 1 クロック サイクルを必要とします。)

パワーアップ コマンド

MX25L デバイスには、2つのパワーアップ制限があります。パワーアップには、特定の V_{CC} スロープを必要とし、V_{CC} の立ち上がり時間仕様内に留めなくてはなりません (TVR)。N25Q には、パワーアップ制限はなく、パワーオンシーケンスをスピードアップすることができます。

XIP (Execute-in-Place)

N25Q デバイスは、揮発性および不揮発性構成レジスタ設定を介して XIP を開始および終了します。不揮発性構成レジスタは、XIP モードをデバイスのパワーオン時に設定します。有効化されると、N25Q の XIP 管理が Macronix XIP 使用モードの XIP 管理と一致させます。Macronix は、2つの確認ニブルを使用して、XIP モードを開始または終了します。ソリューションは、N25Q XIP メソッドロジに完全に対応しています。その他のビットは「don't care (値が決められていない)」です。以下の表は、パワーオン時の両デバイスの XIP 読み取り構成を比較したものです。

表 7: パワーオン時の XIP モード

読み取り構成	N25Q	MX25L
FAST READ	Yes	N/A
DUAL OUTPUT FAST READ	Yes	N/A
DUAL I/O FAST READ	Yes	N/A
QUAD OUTPUT FAST READ	Yes	N/A
QUAD I/O FAST READ	Yes	Yes

図 1: XIP タイミング構成

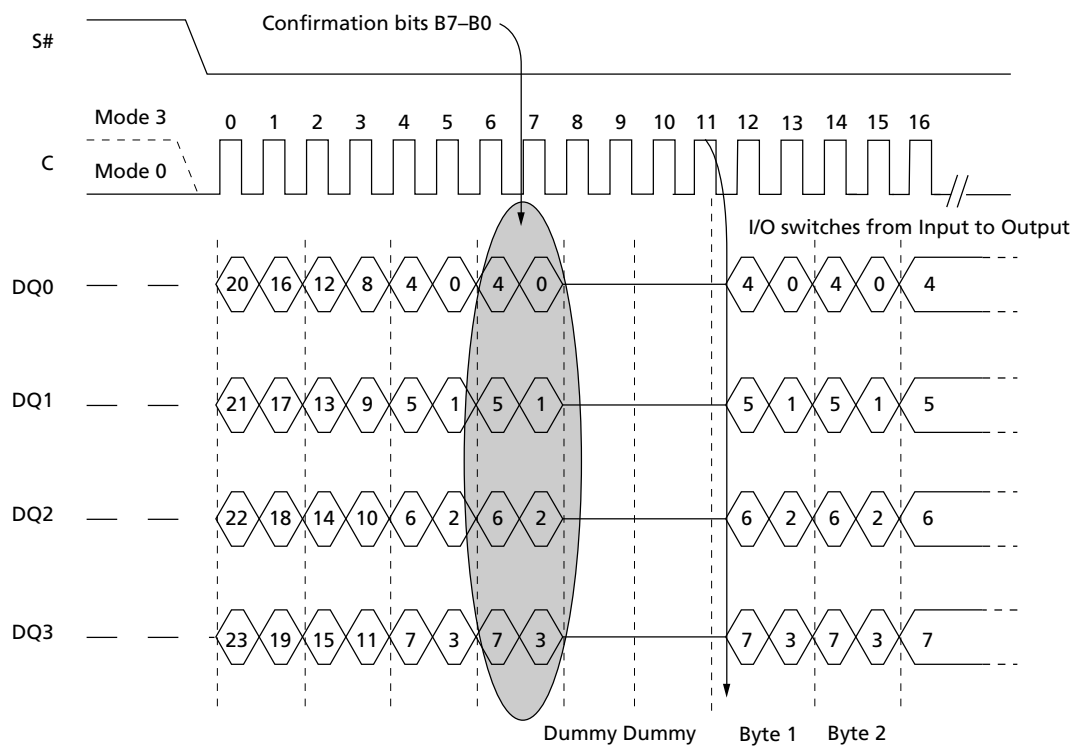


表 8: XIP 確認ビットソフトウェア コマンド

XIP 確認ビット	N25Q	MX25L
開始/確認 XIP モード	B4 = 0 (B7-B5 and B3-B0 = "Don't Care")	B7 ≠ B3 and B6 ≠ B2 and B5 ≠ B1 and B4 ≠ B0
XIP モードを終了	B4 = 1 (B7-B5 and B3-B0 = "Don't Care")	B7 = B3 or B6 = B2 or B5 = B1 or B4 = B0

リセット アルゴリズム

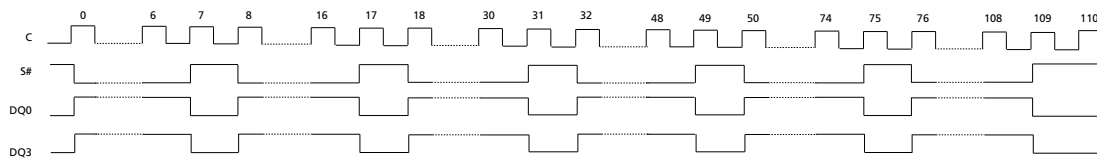
MX25L デバイスは、FFh コマンドでリセットすることができます (PERFORMANCE ENHANCE MODE)。表 4 を参照: コマンドセット。

N25Q デバイスは、次の手続きを順序どおりに完了することでリセットすることができます。XIP をリセットして、デュアル SPI をリセットします。(電源切れが発生した際、デバイスが未確定の状態 [XIP または不必要なプロトコル] で起動する可能性があるため、この手続きが必要になります。) シーケンス中は、 t_{SHSL2} が少なくとも 50ns でなければなりません。

XIP のリセット

以下は、すべての可能な XIP 構成における RESET シーケンスです (QUAD I/O、DUAL I/O、および FAST READ)。

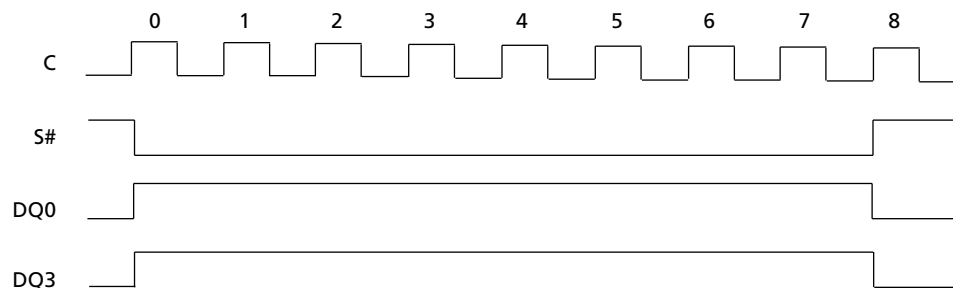
図 2: XIP のリセット



デュアル SPI のリセット

デュアルまたはクアド SPI プロトコルを次の FFh シーケンスを使用して終了します。

図 3: デュアル SPI のリセット



電氣的諸特性

表 9: DC 電流特性

パラメータ	シンボル	N25Q		MX25L		単位
		最小	最大	最小	最大	
スタンバイ電流	I_{CC1}	-	100	-	100	μA
動作電流 (FAST READ QUAD I/O)	I_{CC3}	-	20	-	20	mA
操作電流 (PAGE PROGRAM)	I_{CC4}	-	20	-	25	mA
操作電流 (WRITE STATUS REGISTER)	I_{CC5}	-	20	-	20	mA
操作電流 (ERASE)	I_{CC6}	-	20	-	25	mA

表 10: DC 電圧仕様

パラメータ	シンボル	N25Q		MX25L		単位
		最小	最大	最小	最大	
入力 低電圧	V_{iL}	-0.5	$0.3 V_{CC}$	-0.5	$0.8 V_{CC}$	V
入力 高電圧	V_{iH}	$0.7 V_{CC}$	$V_{CC} + 0.4$	$0.7 V_{CC}$	$V_{CC} + 0.4$	V
出力 低電圧	V_{oL}	-	0.4	-	0.2	V
出力 高電圧	V_{oH}	$V_{CC} - 0.2$	-	$V_{CC} - 0.2$	-	V

AC 特性

表 11: AC 仕様

AC 仕様が全電圧範囲 (2.7-3.6V) の最速バージョンを比較。

パラメータ	シンボル	代替 シンボル	N25Q		MX25L		単位
			最小	最大	最小	最大	
クロック周波数 (x1 FAST READ)	f _C	f _C	-	108	-	133	MHz
クロック周波数 (x2、x4 FAST READ)	f _C	f _C	-	108	-	84	MHz
クロック周波数 (READ)	f _R	f _R	-	54	-	50	MHz
S# アクティブ セットアップ タイム	t _{SLCH}	t _{CSS}	4	-	5	-	ns
データ入力 セットアップ タイム	t _{DVCH}	t _{DSU}	2	-	2	-	ns
データ入力 ホールド タイム	t _{CHDX}	t _{DH}	3	-	4	-	ns
正しい READ (ARRAY READ to AR- RAY READ) の後に S# が時間を選択 解除	t _{SHSL}	t _{CSH}	50	-	30	-	ns
出力無効タイム (2.7-3.6V)	t _{SZQZ}	t _{DIS}	-	8	-	8	ns
クロック ローで出力 有効 (30pF)	t _{CLQV}	t _V	-	7	-	8	ns
出力ホールド タイム	t _{CLQX}	t _{HO}	1	-	1	-	ns
HOLD 出力 Low-Z	t _{HHQZ}	t _{LZ}	N/A	8	N/A	N/A	ns
HOLD 出力 High-Z	t _{HLQZ}	t _{HZ}	N/A	8	N/A	N/A	ns

プログラムおよび消去仕様

表 12: プログラムおよび消去仕様

操作	N25Q		MX25L		単位
	タイプ	最大	タイプ	最大	
PAGE PROGRAM (256 バイト)	0.5	5	0.6	3	ms
4KB SUBSECTOR ERASE	0.25	0.8	0.043	0.2	s
64KB SECTOR ERASE	0.7	3	0.34	2	s
BULK ERASE	170	250	72	160	s

構成およびメモリマップ

表 13: セクタおよびサブセクタ

セクタ	サブセクタ	アドレス範囲	
		開始	終了
255	4095	00FF F000h	00FF FFFFh
	:	:	:
	4080	00FF 0000h	00FF 0FFFh
:	:	:	:
127	2047	007F 0000h	007F 0FFFh
	:	:	:
	2032	007F 0000h	007F 0FFFh
:	:	:	:
63	1023	003F F000h	003F FFFh
	:	:	:
	1008	003F 0000h	003F 0FFFh
:	:	:	:
0	15	0000 F000h	0000 FFFFh
	:	:	:
	0	0000 0000h	0000 0FFFh

デバイス識別子

製造元識別子は JEDEC によって割り当てられます。結果として、N25Q と MX25L デバイスは、メモリ容量は同一でも異なる製造元 ID とメモリタイプコードを使用しています。コマンド 9Fh は、両デバイスでこれらのコードを読み込むために使用されます。

N25Q は、17 の読み取り専用バイトで構成される固有 ID (UID) を持っており、これには次のデータが含まれます。

- 第 1 のバイトは 10 h にセットされます。
- 拡張デバイス ID の次の 2 バイトが、デバイス構成を指定します (トップ、ボトム、またはユニフォームアーキテクチャとホールドまたはリセット機能)。
- 次の 14 バイトには、オプションのカスタマイズファクトリデータが含まれます。カスタマイズファクトリデータバイトは、工場プログラムされています。さらなる詳細は、N25Q 128Mb のデータシートを参照してください。

表 14: 読み取り識別子まとめ

パラメータ	N25Q コード	MX25L コード
製造元 ID	20h	C2h
メモリタイプ	BAh	20h
メモリ容量	18h (128Mb)	18h

結果

Micron N25Q 128Mb と MX25L12835F フラッシュメモリデバイスの特性を比較することで、ユーザーが MX25L12835F から N25Q 128Mb へアプリケーションを移行できるようになります。

改訂履歴

改訂 A – 7/12

- 初期リリース

8000 S. Federal Way, P.O. Box 6, Boise, ID 83707-0006, Tel: 208-368-4000
www.micron.com/products/support Sales inquiries: 800-932-4992
Micron and the Micron logo are trademarks of Micron Technology, Inc.
All other trademarks are the property of their respective owners.