

TECHNICAL NOTE

DDR2 MEMORY MODULE PINOUT DECODE TABLES

Introduction

Memory module configurations continue to evolve with each new generation. The typical trend is toward higher pin count with increasingly advanced signal definitions. The following pin-out tables are derived from their respective DDR2 industry standards and, as such, every defined signal is shown for each configuration to provide a comprehensive list of the signal assignments for each module family.

The intention of this technical note is to provide a group of pin assignment tables sorted both numerically by pin number and alphabetically by pin name, as well as pin location figures, all to be used as a tool for signal identification, tracing and troubleshooting industry standard DDR2 memory modules. An example of how this could be used would be a designer trying to route a particular signal group (i.e. DQ/DQS or VDD/VSS lines), and needing to identify and layout proper signal paths for the design. Selecting the signal group from the alphabetic table, the designer could

then quickly determine which pins are related to the signal group with the pin number ordered table and then locate the pin location on the pinout figure to help determine the best possible signal routings and part placements.

Further information regarding the specific pinout for a selected configuration may be obtained from the respective module datasheet at: <http://www.micron.com/products/modules>.

Disclaimer

This document is not to be used for final reference designs. Under all circumstances, any discrepancies between this document and the current applicable industry standards will be considered Micron's interpretation and the industry standard will be the correct reference. Any discrepancies of terminology within this document reflect discrepancies in the industry standard specifications.

Table 1: DDR2 SDRAM Unbuffered SODIMM Pin Descriptions

PIN	DESCRIPTION
CK	Clock inputs, positive line
CK#	Clock inputs, negative line
CKE	Clock Enables
RAS#	Row Address Strobe
CAS#	Column Address Strobe
WE#	Write Enable
S#	Chip Selects
A0-A9, A11-A15	Address inputs
A10/AP	Address input/Autoprecharge
BA	SDRAM bank address
ODT	On-die termination control
SCL	Serial Presence-Detect (SPD), Clock Input
SDA	SPD Data Input/Output
SA	SPD address
DQ	Data Input/Output
DM	Data Masks
DQS	Data Strobes
DQS#	Data Strobes Complement
TEST	Logic Analyzer specific test pin (No connect on SODIMM)
VDD	Core and I/O Power
VSS	Ground
VREF	Input/Output Reference
VDDSPD	SPD Power
NC	Reserved for future use

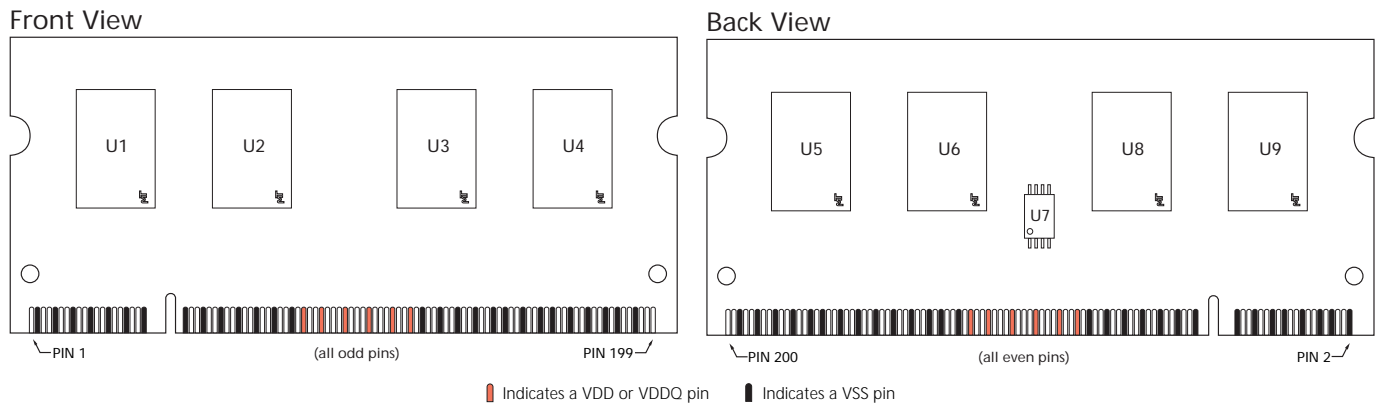
**Table 2: Pin Assignment (numeric)
DDR2 200-pin SODIMM Front**

PIN	SYMBOL	PIN	SYMBOL	PIN	SYMBOL	PIN	SYMBOL
1	VREF	51	DQS2	101	A1	151	DQ42
3	Vss	53	Vss	103	VDD	153	DQ43
5	DQ0	55	DQ18	105	A10/AP	155	Vss
7	DQ1	57	DQ19	107	BA0	157	DQ48
9	Vss	59	Vss	109	WE#	159	DQ49
11	DQS0#	61	DQ24	111	VDD	161	Vss
13	DQS0	63	DQ25	113	CAS#	163	TEST/NC
15	Vss	65	Vss	115	S1#/NC	165	Vss
17	DQ2	67	DM3	117	VDD	167	DQS6#
19	DQ3	69	NC	119	ODT1/NC	169	DQS6
21	Vss	71	Vss	121	Vss	171	Vss
23	DQ8	73	DQ26	123	DQ32	173	DQ50
25	DQ9	75	DQ27	125	DQ33	175	DQ51
27	Vss	77	Vss	127	Vss	177	Vss
29	DQS1#	79	CKE0	129	DQS4#	179	DQ56
31	DQS1	81	VDD	131	DQS4	181	DQ57
33	Vss	83	NC	133	Vss	183	Vss
35	DQ10	85	BA2/NC	135	DQ34	185	DM7
37	DQ11	87	VDD	137	DQ35	187	Vss
39	Vss	89	A12	139	Vss	189	DQ58
41	Vss	91	A9	141	DQ40	191	DQ59
43	DQ16	93	A8	143	DQ41	193	Vss
45	DQ17	95	VDD	145	Vss	195	SDA
47	Vss	97	A5	147	DM5	197	SCL
49	DQS2#	99	A3	149	Vss	199	VDDSPD

**Table 3: Pin Assignment (numeric)
DDR2 200-pin SODIMM Back**

PIN	SYMBOL	PIN	SYMBOL	PIN	SYMBOL	PIN	SYMBOL
2	Vss	52	DM2	102	A0	152	DQ46
4	DQ4	54	Vss	104	VDD	154	DQ47
6	DQ5	56	DQ22	106	BA1	156	Vss
8	Vss	58	DQ23	108	RAS#	158	DQ52
10	DM0	60	Vss	110	S0#	160	DQ53
12	Vss	62	DQ28	112	VDD	162	Vss
14	DQ6	64	DQ29	114	ODT0	164	CK1
16	DQ7	66	Vss	116	A13/NC	166	CK1#
18	Vss	68	DQS3#	118	VDD	168	Vss
20	DQ12	70	DQS3	120	NC	170	DM6
22	DQ13	72	Vss	122	Vss	172	Vss
24	Vss	74	DQ30	124	DQ36	174	DQ54
26	DM1	76	DQ31	126	DQ37	176	DQ55
28	Vss	78	Vss	128	Vss	178	Vss
30	CK0	80	CKE1/NC	130	DM4	180	DQ60
32	CK0#	82	VDD	132	Vss	182	DQ61
34	Vss	84	A15/NC	134	DQ38	184	Vss
36	DQ14	86	A14/NC	136	DQ39	186	DQS7#
38	DQ15	88	VDD	138	Vss	188	DQS7
40	Vss	90	A11	140	DQ44	190	Vss
42	Vss	92	A7	142	DQ45	192	DQ62
44	DQ20	94	A6	144	Vss	194	DQ63
46	DQ21	96	VDD	146	DQS5#	196	Vss
48	Vss	98	A4	148	DQS5	198	SA0
50	NC	100	A2	150	Vss	200	SA1

Figure 1: DDR2 200-pin SODIMM Pin Locations



**Table 4: Pin Assignment (alphabetic)
DDR2 200-pin SODIMM**

SYMBOL	PIN	SYMBOL	PIN	SYMBOL	PIN	SYMBOL	PIN
A0	102	CKE1/NC	80	DQ16	43	DQ41	143
A1	101	DM0	10	DQ17	45	DQ42	151
A2	100	DM1	26	DQ18	55	DQ43	153
A3	99	DM2	52	DQ19	57	DQ44	140
A4	98	DM3	67	DQ20	44	DQ45	142
A5	97	DM4	130	DQ21	46	DQ46	152
A6	94	DM5	147	DQ22	56	DQ47	154
A7	92	DM6	170	DQ23	58	DQ48	157
A8	93	DM7	185	DQ24	61	DQ49	159
A9	91	DQ0	5	DQ25	63	DQ50	173
A10/AP	105	DQ1	7	DQ26	73	DQ51	175
A11	90	DQ2	17	DQ27	75	DQ52	158
A12	89	DQ3	19	DQ28	62	DQ53	160
A13/NC	116	DQ4	4	DQ29	64	DQ54	174
A14/NC	86	DQ5	6	DQ30	74	DQ55	176
A15/NC	84	DQ6	14	DQ31	76	DQ56	179
BA0	107	DQ7	16	DQ32	123	DQ57	181
BA1	106	DQ8	23	DQ33	125	DQ58	189
BA2/NC	85	DQ9	25	DQ34	135	DQ59	191
CAS#	113	DQ10	35	DQ35	137	DQ60	180
CK0	30	DQ11	37	DQ36	124	DQ61	182
CK0#	32	DQ12	20	DQ37	126	DQ62	192
CK1	164	DQ13	22	DQ38	134	DQ63	194
CK1#	166	DQ14	36	DQ39	136	DQS0#	11
CKE0	79	DQ15	38	DQ40	141	DQS0	13

**Table 5: Pin Assignment (alphabetic)
DDR2 200-pin SODIMM**

SYMBOL	PIN	SYMBOL	PIN	SYMBOL	PIN	SYMBOL	PIN
DQS1#	29	SCL	197	VSS	24	VSS	132
DQS1	31	SDA	195	VSS	27	VSS	133
DQS2#	49	TEST/NC	163	VSS	28	VSS	138
DQS2	51	VDD	81	VSS	33	VSS	139
DQS3#	68	VDD	82	VSS	34	VSS	144
DQS3	70	VDD	87	VSS	39	VSS	145
DQS4#	129	VDD	88	VSS	40	VSS	149
DQS4	131	VDD	95	VSS	41	VSS	150
DQS5#	146	VDD	96	VSS	42	VSS	155
DQS5	148	VDD	103	VSS	47	VSS	156
DQS6#	167	VDD	104	VSS	48	VSS	161
DQS6	169	VDD	111	VSS	53	VSS	162
DQS7#	186	VDD	112	VSS	54	VSS	165
DQS7	188	VDD	117	VSS	59	VSS	168
NC	50	VDD	118	VSS	60	VSS	171
NC	69	VDDSPD	199	VSS	65	VSS	172
NC	83	VREF	1	VSS	66	VSS	177
NC	120	VSS	2	VSS	71	VSS	178
ODT0	114	VSS	3	VSS	72	VSS	183
ODT1/NC	119	VSS	8	VSS	77	VSS	184
RAS#	108	VSS	9	VSS	78	VSS	187
S0#	110	VSS	12	VSS	121	VSS	190
S1#/NC	115	VSS	15	VSS	122	VSS	193
SA0	198	VSS	18	VSS	127	VSS	196
SA1	200	VSS	21	VSS	128	WE#	109

Figure 2: DDR2 200-pin SODIMM Pin Locations

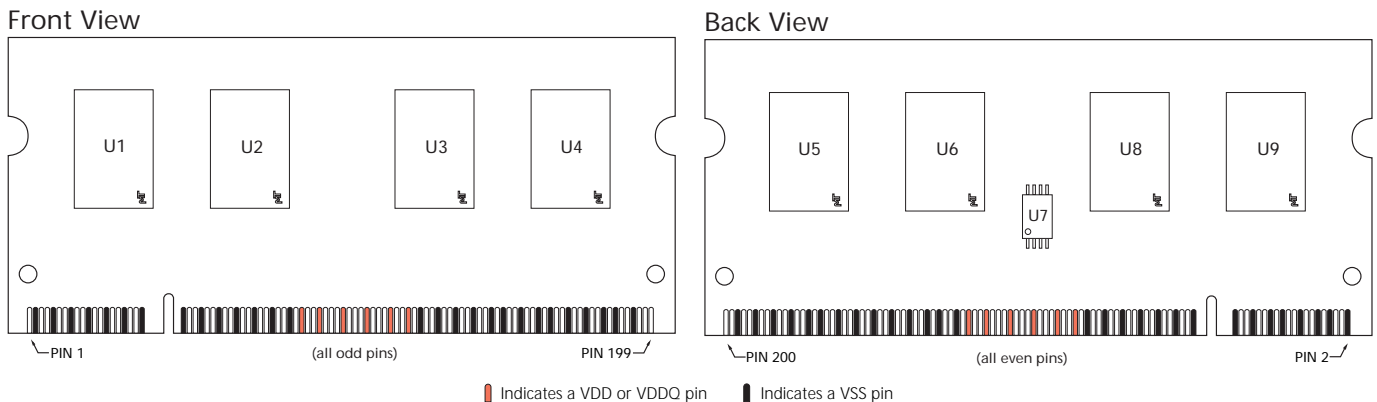


Table 6: DDR2 SDRAM Registered DIMM (RDIMM) Pin Descriptions

PIN	DESCRIPTION
CK	Clock inputs, positive line
CK#	Clock inputs, negative line
CKE	Clock Enables
RAS#	Row Address Strobe
CAS#	Column Address Strobe
WE#	Write Enable
S#	Chip Selects
A0–A9, A11–A15	Address inputs
A10/AP	Address input/Autoprecharge
BA	SDRAM bank address
SCL	Serial Presence-Detect (SPD), Clock Input
SDA	SPD Data Input/Output
SA	SPD address
PAR_IN	Parity bit for the Address and Control bus
ERR_OUT#	Parity error found on the Address and Control bus
RESET#	Register and PLL control pin
ODT	On-die termination control
DQ	Data Input/Output
CB	Data check bits Input/Output
DM	Data Masks
DQS	Data Strobes
DQS#	Data Strobes Complement
TEST	Logic Analyzer specific test pin (No connect on SODIMM)
VDD	Core and I/O Power
VDDQ	I/O Power
VSS	Ground
VREF	Input/Output Reference
VDDSPD	SPD Power
NC	No Connect
RFU	Reserved for Future Use

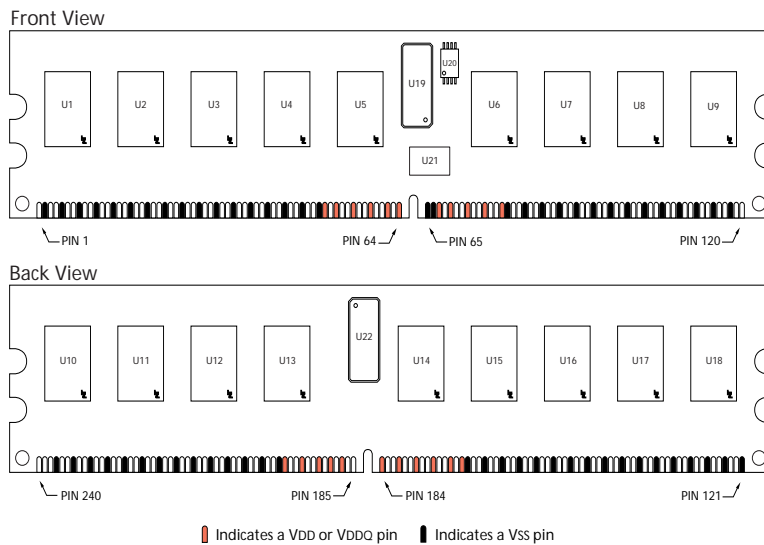
**Table 7: Pin Assignment (numeric)
DDR2 240-pin RDIMM Front**

PIN	SYMBOL	PIN	SYMBOL	PIN	SYMBOL	PIN	SYMBOL
1	VREF	31	DQ19	61	A4	91	Vss
2	Vss	32	Vss	62	VDDQ	92	DQS5#
3	DQ0	33	DQ24	63	A2	93	DQS5
4	DQ1	34	DQ25	64	VDD	94	Vss
5	Vss	35	Vss	65	Vss	95	DQ42
6	DQS0#	36	DQS3#	66	Vss	96	DQ43
7	DQS0	37	DQS3	67	VDD	97	Vss
8	Vss	38	Vss	68	PAR_IN/NC	98	DQ48
9	DQ2	39	DQ26	69	VDD	99	DQ49
10	DQ3	40	DQ27	70	A10/AP	100	Vss
11	Vss	41	Vss	71	BA0	101	SA2
12	DQ8	42	CB0	72	VDDQ	102	TEST/NC
13	DQ9	43	CB1	73	WE#	103	Vss
14	Vss	44	Vss	74	CAS#	104	DQS6#
15	DQS1#	45	DQS8#	75	VDDQ	105	DQS6
16	DQS1	46	DQS8	76	S1#/NC	106	Vss
17	Vss	47	Vss	77	ODT1/NC	107	DQ50
18	RESET#	48	CB2	78	VDDQ	108	DQ51
19	NC	49	CB3	79	Vss	109	Vss
20	Vss	50	Vss	80	DQ32	110	DQ56
21	DQ10	51	VDDQ	81	DQ33	111	DQ57
22	DQ11	52	CKE0	82	Vss	112	Vss
23	Vss	53	VDD	83	DQS4#	113	DQS7#
24	DQ16	54	BA2/NC	84	DQS4	114	DQS7
25	DQ17	55	ERR_OUT#	85	Vss	115	Vss
26	Vss	56	VDDQ	86	DQ34	116	DQ58
27	DQS2#	57	A11	87	DQ35	117	DQ59
28	DQS2	58	A7	88	Vss	118	Vss
29	Vss	59	VDD	89	DQ40	119	SDA
30	DQ18	60	A5	90	DQ41	120	SCL

**Table 8: Pin Assignment (numeric)
DDR2 240-pin RDIMM Back**

PIN	SYMBOL	PIN	SYMBOL	PIN	SYMBOL	PIN	SYMBOL
121	Vss	151	Vss	181	VDDQ	211	DM5/DQS14
122	DQ4	152	DQ28	182	A3	212	DQS14#/NC
123	DQ5	153	DQ29	183	A1	213	Vss
124	Vss	154	Vss	184	VDD	214	DQ46
125	DM0/DQS9	155	DM3/DQS12	185	CK0	215	DQ47
126	DQS9#/NC	156	DQS12#/NC	186	CK0#	216	Vss
127	Vss	157	Vss	187	VDD	217	DQ52
128	DQ6	158	DQ30	188	A0	218	DQ53
129	DQ7	159	DQ31	189	VDD	219	Vss
130	Vss	160	Vss	190	BA1	220	RFU
131	DQ12	161	CB4	191	VDDQ	221	RFU
132	DQ13	162	CB5	192	RAS#	222	Vss
133	Vss	163	Vss	193	S0#	223	DM6/DQS15
134	DM1/DQS10	164	DM8/DQS17	194	VDDQ	224	DQS15#/NC
135	DQS10#/NC	165	DQS17#/NC	195	ODT0	225	Vss
136	Vss	166	Vss	196	A13	226	DQ54
137	RFU	167	CB6	197	VDD	227	DQ55
138	RFU	168	CB7	198	Vss	228	Vss
139	Vss	169	Vss	199	DQ36	229	DQ60
140	DQ14	170	VDDQ	200	DQ37	230	DQ61
141	DQ15	171	CKE1/NC	201	Vss	231	Vss
142	Vss	172	VDD	202	DM4/DQS13	232	DM7/DQS16
143	DQ20	173	A15/NC	203	DQS13#/NC	233	DQS16#/NC
144	DQ21	174	A14/NC	204	Vss	234	Vss
145	Vss	175	VDDQ	205	DQ38	235	DQ62
146	DM2/DQS11	176	A12	206	DQ39	236	DQ63
147	DQS11#/NC	177	A9	207	Vss	237	Vss
148	Vss	178	VDD	208	DQ44	238	VDDSPD
149	DQ22	179	A8	209	DQ45	239	SA0
150	DQ23	180	A6	210	Vss	240	SA1

Figure 3: DDR2 240-pin RDIMM Pin Locations



**Table 9: Pin Assignment (alphabetic)
DDR2 240-pin RDIMM**

SYMBOL	PIN	SYMBOL	PIN	SYMBOL	PIN	SYMBOL	PIN
A0	188	CKE0	52	DQ28	152	DQ58	116
A1	183	CKE1/NC	171	DQ29	153	DQ59	117
A2	63	DQ0	3	DQ30	158	DQ60	229
A3	182	DQ1	4	DQ31	159	DQ61	230
A4	61	DQ2	9	DQ32	80	DQ62	235
A5	60	DQ3	10	DQ33	81	DQ63	236
A6	180	DQ4	122	DQ34	86	DQS0	7
A7	58	DQ5	123	DQ35	87	DQS0#	6
A8	179	DQ6	128	DQ36	199	DQS1	16
A9	177	DQ7	129	DQ37	200	DQS1#	15
A10/AP	70	DQ8	12	DQ38	205	DQS2	28
A11	57	DQ9	13	DQ39	206	DQS2#	27
A12	176	DQ10	21	DQ40	89	DQS3	37
A13/NC	196	DQ11	22	DQ41	90	DQS3#	36
A14/NC	174	DQ12	131	DQ42	95	DQS4	84
A15/NC	173	DQ13	132	DQ43	96	DQS4#	83
BA0	71	DQ14	140	DQ44	208	DQS5	93
BA1	190	DQ15	141	DQ45	209	DQS5#	92
BA2/NC	54	DQ16	24	DQ46	214	DQS6	105
CAS#	74	DQ17	25	DQ47	215	DQS6#	104
CB0	42	DQ18	30	DQ48	98	DQS7	114
CB1	43	DQ19	31	DQ49	99	DQS7#	113
CB2	48	DQ20	143	DQ50	107	DQS8	46
CB3	49	DQ21	144	DQ51	108	DQS8#	45
CB4	161	DQ22	149	DQ52	217	DM0/DQS9	125
CB5	162	DQ23	150	DQ53	218	DQS9#/NC	126
CB6	167	DQ24	33	DQ54	226	DM1/DQS10	134
CB7	168	DQ25	34	DQ55	227	DQS10#/NC	135
CK0	185	DQ26	39	DQ56	110	DM2/DQS11	146
CK0#	186	DQ27	40	DQ57	111	DQS11#/NC	147

**Table 10: Pin Assignment (alphabetic)
DDR2 240-pin RDIMM**

SYMBOL	PIN	SYMBOL	PIN	SYMBOL	PIN	SYMBOL	PIN
DM3/DQS12	155	TEST/NC	102	Vss	17	Vss	127
DQS12#/NC	156	VDD	53	Vss	20	Vss	130
DM4/DQS13	202	VDD	59	Vss	23	Vss	133
DQS13#/NC	203	VDD	64	Vss	26	Vss	136
DM5/DQS14	211	VDD	67	Vss	29	Vss	139
DQS14#/NC	212	VDD	69	Vss	32	Vss	142
DM6/DQS15	223	VDD	172	Vss	35	Vss	145
DQS15#/NC	224	VDD	178	Vss	38	Vss	148
DM7/DQS16	232	VDD	184	Vss	41	Vss	151
DQS16#/NC	233	VDD	187	Vss	44	Vss	154
DM8/DQS17	164	VDD	189	Vss	47	Vss	157
DQS17#/NC	165	VDD	197	Vss	50	Vss	160
ERR_OUT#	55	VDDQ	51	Vss	65	Vss	163
NC	19	VDDQ	56	Vss	66	Vss	166
ODT0	195	VDDQ	62	Vss	79	Vss	169
ODT1/NC	77	VDDQ	72	Vss	82	Vss	198
PAR_IN/NC	68	VDDQ	75	Vss	85	Vss	201
RAS#	192	VDDQ	78	Vss	88	Vss	204
RESET#	18	VDDQ	170	Vss	91	Vss	207
RFU	137	VDDQ	175	Vss	94	Vss	210
RFU	138	VDDQ	181	Vss	97	Vss	213
RFU	220	VDDQ	191	Vss	100	Vss	216
RFU	221	VDDQ	194	Vss	103	Vss	219
S0#	193	VDDSPD	238	Vss	106	Vss	222
S1#/NC	76	VREF	1	Vss	109	Vss	225
SA0	239	Vss	2	Vss	112	Vss	228
SA1	240	Vss	5	Vss	115	Vss	231
SA2	101	Vss	8	Vss	118	Vss	234
SCL	120	Vss	11	Vss	121	Vss	237
SDA	119	Vss	14	Vss	124	WE#	73

Figure 4: DDR2 240-pin RDIMM Pin Locations

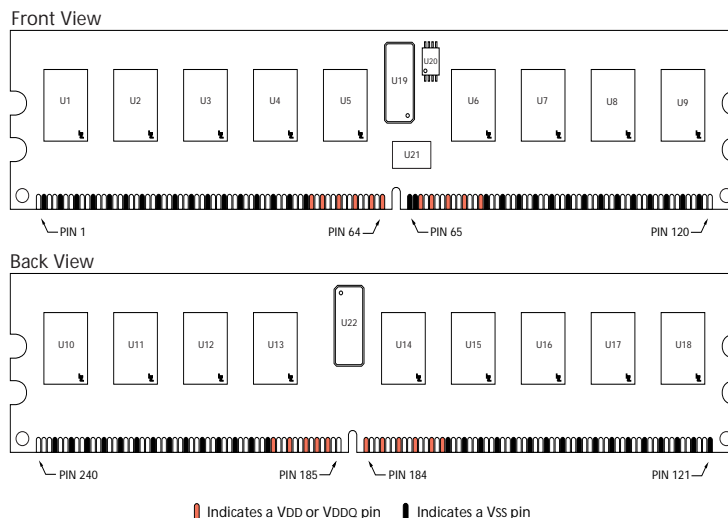


Table 11: DDR2 SDRAM Unbuffered DIMM (UDIMM) Pin Descriptions

PIN	DESCRIPTION
CK	Clock inputs, positive line
CK#	Clock inputs, negative line
CKE	Clock Enables
RAS#	Row Address Strobe
CAS#	Column Address Strobe
WE#	Write Enable
S#	Chip Selects
A0–A9, A0–A15	Address inputs
A10/AP	Address input/Autoprecharge
BA	SDRAM bank address
SCL	Serial Presence-Detect (SPD), Clock Input
SDA	SPD Data Input/Output
SA	SPD address
RESET#	REgister and PLL control pin
ODT	On-die termination control
DQ	Data Input/Output
CB	Data check bits Input/Output
DM	Data Masks
DQS	Data Strobes
DQS#	Data Strobes Complement
TEST	Logic Analyzer specific test pin (No connect on SODIMM)
VDD	Core and I/O Power
VDDQ	I/O Power
VSS	Ground
VREF	Input/Output Reference
VDDSPD	SPD Power
NC	No Connect
RFU	Reserved for Future Use

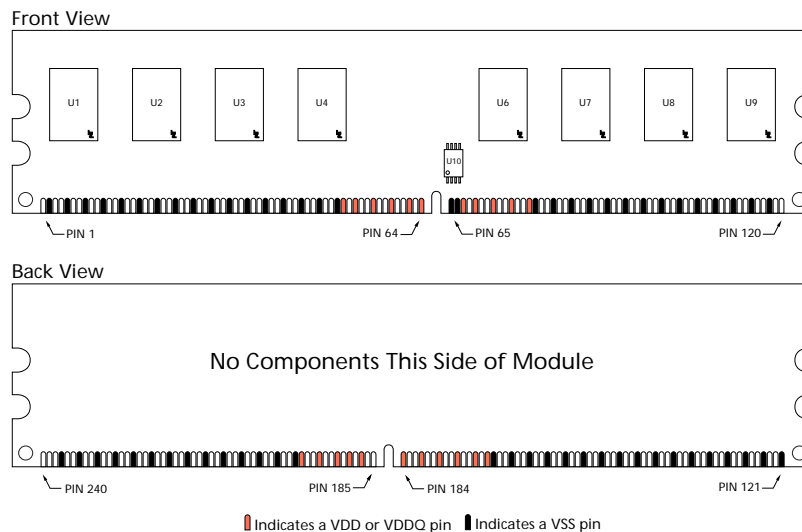
**Table 12: Pin Assignment (numeric)
DDR2 240-pin UDIMM Front**

PIN	SYMBOL	PIN	SYMBOL	PIN	SYMBOL	PIN	SYMBOL
1	VREF	31	DQ19	61	A4	91	Vss
2	Vss	32	Vss	62	VDDQ	92	DQS5#
3	DQ0	33	DQ24	63	A2	93	DQS5
4	DQ1	34	DQ25	64	VDD	94	Vss
5	Vss	35	Vss	65	Vss	95	DQ42
6	DQS0#	36	DQS3#	66	Vss	96	DQ43
7	DQS0	37	DQS3	67	VDD	97	Vss
8	Vss	38	Vss	68	NC	98	DQ48
9	DQ2	39	DQ26	69	VDD	99	DQ49
10	DQ3	40	DQ27	70	A10/AP	100	Vss
11	Vss	41	Vss	71	BA0	101	SA2
12	DQ8	42	CB0	72	VDDQ	102	TEST
13	DQ9	43	CB1	73	WE#	103	Vss
14	Vss	44	Vss	74	CAS#	104	DQS6#
15	DQS1#	45	DQS8#	75	VDDQ	105	DQS6
16	DQS1	46	DQS8	76	S1#/NC	106	Vss
17	Vss	47	Vss	77	ODT1/NC	107	DQ50
18	NC	48	CB2	78	VDDQ	108	DQ51
19	NC	49	CB3	79	Vss	109	Vss
20	Vss	50	Vss	80	DQ32	110	DQ56
21	DQ10	51	VDDQ	81	DQ33	111	DQ57
22	DQ11	52	CKE0	82	Vss	112	Vss
23	Vss	53	VDD	83	DQS4#	113	DQS7#
24	DQ16	54	BA2/NC	84	DQS4	114	DQS7
25	DQ17	55	NC	85	Vss	115	Vss
26	Vss	56	VDDQ	86	DQ34	116	DQ58
27	DQS2#	57	A11	87	DQ35	117	DQ59
28	DQS2	58	A7	88	Vss	118	Vss
29	Vss	59	VDD	89	DQ40	119	SDA
30	DQ18	60	A5	90	DQ41	120	SCL

**Table 13: Pin Assignment (numeric)
DDR2 240-pin UDIMM Back**

PIN	SYMBOL	PIN	SYMBOL	PIN	SYMBOL	PIN	SYMBOL
121	Vss	151	Vss	181	VDDQ	211	DM5/DQS14
122	DQ4	152	DQ28	182	A3	212	DQS14#/NC
123	DQ5	153	DQ29	183	A1	213	Vss
124	Vss	154	Vss	184	VDD	214	DQ46
125	DM0/DQS9	155	DM3/DQS12	185	CK0	215	DQ47
126	DQS9#/NC	156	DQS12#/NC	186	CK0#	216	Vss
127	Vss	157	Vss	187	VDD	217	DQ52
128	DQ6	158	DQ30	188	A0	218	DQ53
129	DQ7	159	DQ31	189	VDD	219	Vss
130	Vss	160	Vss	190	BA1	220	CK2
131	DQ12	161	CB4	191	VDDQ	221	CK2#
132	DQ13	162	CB5	192	RAS#	222	Vss
133	Vss	163	Vss	193	SO#	223	DM6/DQS15
134	DM1/DQS10	164	DM8/DQS17	194	VDDQ	224	DQS15#/NC
135	DQS10#/NC	165	DQS17#/NC	195	ODT0	225	Vss
136	Vss	166	Vss	196	A13	226	DQ54
137	CK1	167	CB6	197	VDD	227	DQ55
138	CK1#	168	CB7	198	Vss	228	Vss
139	Vss	169	Vss	199	DQ36	229	DQ60
140	DQ14	170	VDDQ	200	DQ37	230	DQ61
141	DQ15	171	CKE1/NC	201	Vss	231	Vss
142	Vss	172	VDD	202	DM4/DQS13	232	DM7/DQS16
143	DQ20	173	A15	203	DQS13#/NC	233	DQS16#/NC
144	DQ21	174	A14	204	Vss	234	Vss
145	Vss	175	VDDQ	205	DQ38	235	DQ62
146	DM2/DQS11	176	A12	206	DQ39	236	DQ63
147	DQS11#/NC	177	A9	207	Vss	237	Vss
148	Vss	178	VDD	208	DQ44	238	VDDSPD
149	DQ22	179	A8	209	DQ45	239	SA0
150	DQ23	180	A6	210	Vss	240	SA1

Figure 5: DDR2 240-pin UDIMM Pin Locations



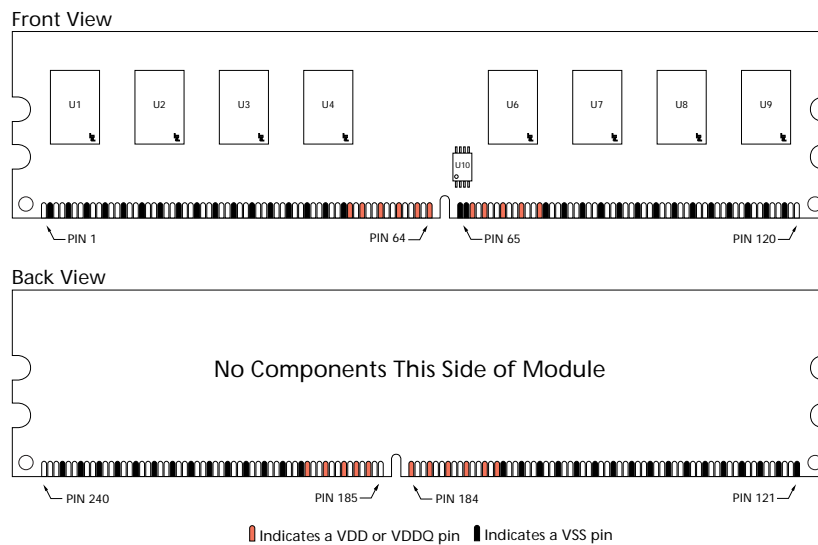
**Table 14: Pin Assignment (alphabetic)
DDR2 240-pin UDIMM**

SYMBOL	PIN	SYMBOL	PIN	SYMBOL	PIN	SYMBOL	PIN
A0	188	CK1	137	DQ24	33	DQ54	226
A1	183	CK1#	138	DQ25	34	DQ55	227
A2	63	CK2	220	DQ26	39	DQ56	110
A3	182	CK2#	221	DQ27	40	DQ57	111
A4	61	CKE0	52	DQ28	152	DQ58	116
A5	60	CKE1	171	DQ29	153	DQ59	117
A6	180	DQ0	3	DQ30	158	DQ60	229
A7	58	DQ1	4	DQ31	159	DQ61	230
A8	179	DQ2	9	DQ32	80	DQ62	235
A9	177	DQ3	10	DQ33	81	DQ63	236
A10/AP	70	DQ4	122	DQ34	86	DQS0	7
A11	57	DQ5	123	DQ35	87	DQS0#	6
A12	176	DQ6	128	DQ36	199	DQS1	16
A13	196	DQ7	129	DQ37	200	DQS1#	15
A14	174	DQ8	12	DQ38	205	DQS2	28
A15	173	DQ9	13	DQ39	206	DQS2#	27
BA0	71	DQ10	21	DQ40	89	DQS3	37
BA1	190	DQ11	22	DQ41	90	DQS3#	36
BA2/NC	54	DQ12	131	DQ42	95	DQS4	84
CAS#	74	DQ13	132	DQ43	96	DQS4#	83
CB0	42	DQ14	140	DQ44	208	DQS5	93
CB1	43	DQ15	141	DQ45	209	DQS5#	92
CB2	48	DQ16	24	DQ46	214	DQS6	105
CB3	49	DQ17	25	DQ47	215	DQS6#	104
CB4	161	DQ18	30	DQ48	98	DQS7	114
CB5	162	DQ19	31	DQ49	99	DQS7#	113
CB6	167	DQ20	143	DQ50	107	DQS8	46
CB7	168	DQ21	144	DQ51	108	DQS8#	45
CK0	185	DQ22	149	DQ52	217	DM0/DQS9	125
CK0#	186	DQ23	150	DQ53	218	DQS9#/NC	126

**Table 15: Pin Assignment (alphabetic)
DDR2 240-pin UDIMM**

SYMBOL	PIN	SYMBOL	PIN	SYMBOL	PIN	SYMBOL	PIN
DM1/DQS10	134	TEST	102	Vss	17	Vss	127
DQS10#/NC	135	VDD	53	Vss	20	Vss	130
DM2/DQS11	146	VDD	59	Vss	23	Vss	133
DQS11#/NC	147	VDD	64	Vss	26	Vss	136
DM3/DQS12	155	VDD	67	Vss	29	Vss	139
DQS12#/NC	156	VDD	69	Vss	32	Vss	142
DM4/DQS13	202	VDD	172	Vss	35	Vss	145
DQS13#/NC	203	VDD	178	Vss	38	Vss	148
DM5/DQS14	211	VDD	184	Vss	41	Vss	151
DQS14#/NC	212	VDD	187	Vss	44	Vss	154
DM6/DQS15	223	VDD	189	Vss	47	Vss	157
DQS15#/NC	224	VDD	197	Vss	50	Vss	160
DM7/DQS16	232	VDDQ	51	Vss	65	Vss	163
DQS16#/NC	233	VDDQ	56	Vss	66	Vss	166
DM8/DQS17	164	VDDQ	62	Vss	79	Vss	169
DQS17#/NC	165	VDDQ	72	Vss	82	Vss	198
NC	19	VDDQ	75	Vss	85	Vss	201
NC	68	VDDQ	78	Vss	88	Vss	204
NC	55	VDDQ	170	Vss	91	Vss	207
NC	18	VDDQ	175	Vss	94	Vss	210
ODT0	195	VDDQ	181	Vss	97	Vss	213
ODT1	77	VDDQ	191	Vss	100	Vss	216
RAS#	192	VDDQ	194	Vss	103	Vss	219
S0#	193	VDDSPD	238	Vss	106	Vss	222
S1#	76	VREF	1	Vss	109	Vss	225
SA0	239	Vss	2	Vss	112	Vss	228
SA1	240	Vss	5	Vss	115	Vss	231
SA2	101	Vss	8	Vss	118	Vss	234
SCL	120	Vss	11	Vss	121	Vss	237
SDA	119	Vss	14	Vss	124	WE#	73

Figure 6: DDR2 240-pin UDIMM Pin Locations



References

JEDEC reference design specification documents for 240-pin registered and unbuffered DIMMs and 200-pin unbuffered SODIMMs.



8000 S. Federal Way, P.O. Box 6, Boise, ID 83707-0006, Tel: 208-368-3900

E-mail: prodmtg@micron.com, Internet: <http://www.micron.com>, Customer Comment Line: 800-932-4992

Micron, the M logo, and the Micron logo are trademarks and/or service marks of Micron Technology, Inc.

All other trademarks are the property of their respective owners.