

テクニカルノート

大容量 DDR2 メモリの設計

はじめに

DDR2 メモリでは、システムレベルの設計者のために広範囲のオプションをサポートしており、容量も 256M ～ 4G ビットの範囲にわたります。以前のメモリファミリーの 4 バンク専用のテクノロジーと異なり、現在は 8 バンクの構成もあります。デバイスごとにアドレッシングやタイミング条件が異なるので、このような多数のオプションは設計者にとって重要です。

柔軟性を最大限に高め、より大きな容量のデバイスへの移行をスムーズに行うために、システムレベルの設計者は、多くの DDR2 デバイスオプションの技術的な違いを理解する必要があります。このテクニカルノートでは、容量、構成ごとのアドレッシング方法と、4 バンク構成の DDR2 デバイスと新しい 8 バンク構成の DDR2 デバイスの微妙な相違について説明します。

アドレッシング方法と理由

メモリデバイスの容量が増加すると、バンク、行アドレス、または列アドレスを追加する必要があります。通常、列アドレスを増やすとデバイスの活性化電流が増えます。それでも、一部のシステムでは、ページサイズを大きくすることによりバンク内で多くのアクセス（ページヒット）が可能になり、最適なシステムレベルの性能が得られます。

列アドレスを 1 つ追加すると、活性化電流は確実に増えます。3 ページの図 2 を参照してください。DRAM のある行がアクティブになると（開かれると）、その行内の個々のセルの内容を別々のセンスアンプに転送する必要があります。1 つの行内の各 I/O に対して $2^{(n)}$ の数のセルが存在します。ここで、「n」は列アドレスの数です。

例

ページサイズ = 列アドレス内のビット数 / 8

列アドレス内のビット数 = $2^{(n)}$ x データパスの幅

n = 列アドレスの数

11 ビットアドレス (A0～A9, A11) を持つ x4 (DQ0～DQ3) 構成のデバイスを使用

ページサイズ = $[2^{(11)} \times 4] / 8 = 1,024 = 1\text{KB}$

(EQ 1)

列アドレスが 1 つ増えると、この同じデバイスのページサイズは 2 倍になります。ページサイズが大きくなるということは、1 つの ACTIVE コマンドによってより多くのアレイおよび追加のセンスアンプを活性化する必要があることを意味します。

12ビットアドレス (A0~A9, A11, A12) を持つx4 (DQ0~DQ3) 構成のデバイスを使用

ページサイズ = 列アドレス内のビット数/8

列アドレス内のビット数 = $2^{(n)}$ x データパスの幅

n = 列アドレスの数

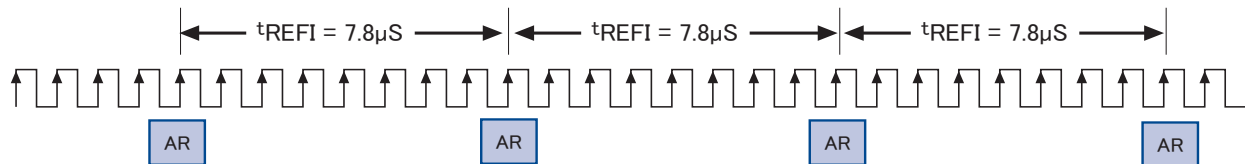
$$\text{ページサイズ} = [2^{(12)} \times 4] / 8 = 2,028 = 2\text{KB}$$

(EQ 2)

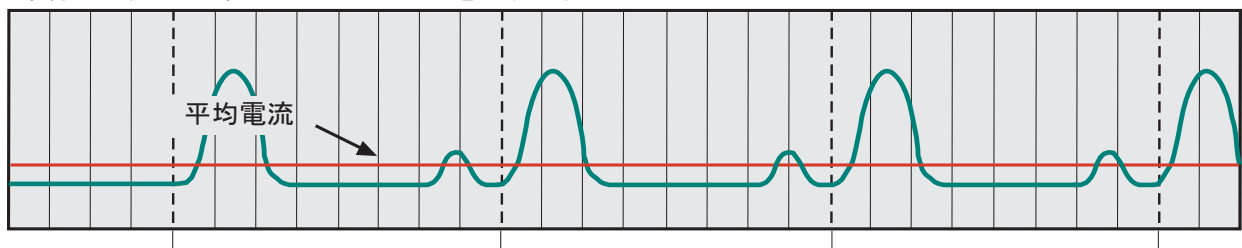
同様に、行アドレスが増えると、リフレッシュオーバーヘッドが変わったり、デバイスが各外部 AUTO REFRESH コマンドに対して複数の内部 REFRESH サイクルを実行する必要が生じたりします。また、必要なリフレッシュの回数が増えるために、リフレッシュ電力が上昇する場合がありますが、大容量設計だからといって個々のバンクの活性化電流が増えるわけではありません。以下の図 1 を参照してください。

最適なアドレッシング方法は、エンドユーザのアプリケーションや DRAM デザインの複雑さによって変わり、ダイサイズが大きくなったりコスト高になる場合があります (3 ページの図 2 を参照)。その他の潜在的な制約として、使用可能なデバイスピンの数、他の構成との互換性、プリント基板配線オプションなどがあります。DDR2 の場合は、JEDEC (Joint Electron Device Engineering Council) によって 4 ページの表 1 のようにアドレッシング条件が定義されています。

図 1: 13 行および 14 行アドレスでの 8K リフレッシュ



条件A: 1回の内部REFRESHサイクルを示す13行アドレスでの8Kリフレッシュ



条件B: 2回の内部REFRESHサイクルを示す14行アドレスでの8Kリフレッシュ

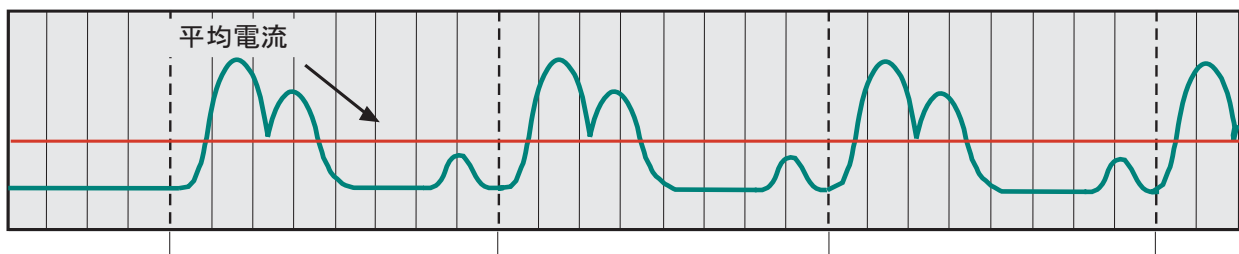


図 2 : 典型的な DRAM の 1 バンク内の行 / 列アレイ
 赤色は、1 つの列アドレスの回路を示します。緑色は、1 つの ACTIVE コマンド (すべての DQ ビットに対して 1 つのアクティブな行) の回路を示します。

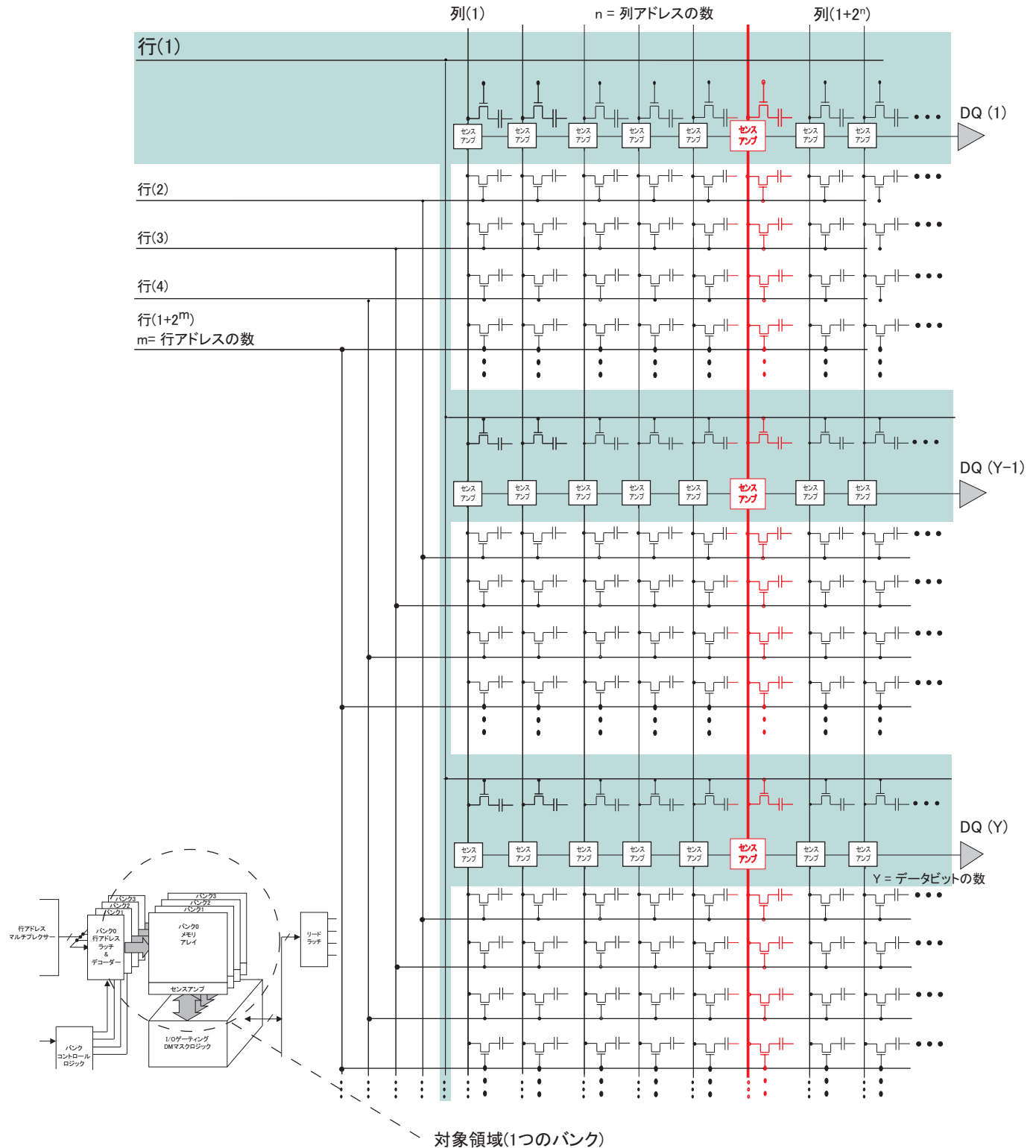


表 1 に示すように、大容量の DDR2 部品には、行アドレスとバンクアドレスのいずれかまたは両方が追加されています。バンクアドレスを 1 つ追加することによって、DRAM は以前の小容量部品と同じ行アドレスや列アドレスを維持できます。ただし、大容量 DRAM の設計は 4 バンクアーキテクチャから 8 バンクアーキテクチャに変わります。

16 ビット構成以外のすべての DDR2 デバイスのページサイズは 1K バイトです。16 ビット構成の場合、256M ビットデバイス以外の容量のすべてのデバイスのページサイズは 2K バイトです。256M ビットデバイスのページサイズは 1K バイトです。ページサイズはアレイ内のビット数を 8 で割ったものになるので注意してください。1 ページの式 1 を参照してください。

表 1: DDR2 アドレッシング (256M ~ 4G ビット)

4G ビットアドレッシングをすべて次の表に示します。Micron では現在、4G ビットデバイスをサポートする予定はありません。

構成	256M ビット					
	64Mx4		32Mx8		16Mx16	
バンクアドレス	2	BA0 ~ BA1	2	BA0 ~ BA1	2	BA0 ~ BA1
行アドレス	13	A0 ~ A12	13	A0 ~ A12	13	A0 ~ A12
列アドレス	11	A0 ~ A9, A11	10	A0 ~ A9	9	A0 ~ A8

構成	512M ビット					
	128Mx4		64Mx8		32Mx16	
バンクアドレス	2	BA0 ~ BA1	2	BA0 ~ BA1	2	BA0 ~ BA1
行アドレス	14	A0 ~ A13	14	A0 ~ A13	13	A0 ~ A12
列アドレス	11	A0 ~ A9, A11	10	A0 ~ A9	10	A0 ~ A9

構成	1G ビット					
	256Mx4		128Mx8		64Mx16	
バンクアドレス	3	BA0 ~ BA2	3	BA0 ~ BA2	3	BA0 ~ BA2
行アドレス	14	A0 ~ A13	14	A0 ~ A13	13	A0 ~ A12
列アドレス	11	A0 ~ A9, A11	10	A0 ~ A9	10	A0 ~ A9

構成	2G ビット					
	512Mx4		256Mx8		128Mx16	
バンクアドレス	3	BA0 ~ BA2	3	BA0 ~ BA2	3	BA0 ~ BA2
行アドレス	15	A0 ~ A14	15	A0 ~ A14	14	A0 ~ A13
列アドレス	11	A0 ~ A9, A11	10	A0 ~ A9	10	A0 ~ A9

構成	4G ビット					
	1,024Mx4		512Mx8		256Mx16	
バンクアドレス	3	BA0 ~ BA2	3	BA0 ~ BA2	3	BA0 ~ BA2
行アドレス	16	A0 ~ A15	16	A0 ~ A15	15	A0 ~ A14
列アドレス	11	A0 ~ A9, A11	10	A0 ~ A9	10	A0 ~ A9

アドレスの位置

デバイスパッケージおよび大容量 DIMM では、別のアドレス信号が予約されています。ボール位置またはピン位置は、製品によって異なります。表 2、「DDR2 大容量アドレスの位置」に、FBGA パッケージのボール位置と JEDEC 標準の各 DIMM のピン位置を示します。小容量の製品では、これらのピンは将来使用するために予約されているものと見なされ、パッケージまたはモジュールでは使用されていません。したがって、これらの位置への上位アドレス信号の配線が可能になり、大容量の製品に対応することができます。DDR2 ではさまざまなパッケージサイズおよびボールグリッドアレイをサポートしていることに注目してください。基板設計を開始する前に、レイアウトオプションの複雑さを完全に理解することを推奨します。詳細については、<http://www.micron.com/products/modules/ddr2sdram/technote.html> の TN-47-08 「DDR2 Package Sizes and Layout Requirements」を参照してください。

本書では説明していませんが、スタック構成では、複数の DDR2 デバイスが使用されている場合があります。スタック構成の DRAM の大部分は単一デバイスの場合と同じ占有面積ですが、追加信号を供給するためにボールが追加されます。DDR2 では通常、チップセレクト、クロックイネーブル、および ODT 信号のボールが追加されます。スタック構成ソリューションによっては、電気信号の配列が別のボールにマップされることがあり、その場合はカスタムレイアウトが必要になります。

表 2 : DDR2 大容量アドレスの位置
アドレスピンは、小容量ソリューションの場合は将来使用するために予約 (RFU) されていると見なされます。

	FBGA パッケージ			
	92 ボール	84 ボール	68 ボール	60 ボール
A13	V8	R8	R8	L8
A14	V3	R3	R3	L3
A15	V7	R7	R7	L7
BA2	P1	L1	L1	G1

標準 DIMM		
SODIMM (200 ピン)	UDIMM (240 ピン)	RDIMM (240 ピン)
116	196	196
86	174	174
84	173	173
85	54	54

複数のバンクへのアクセス

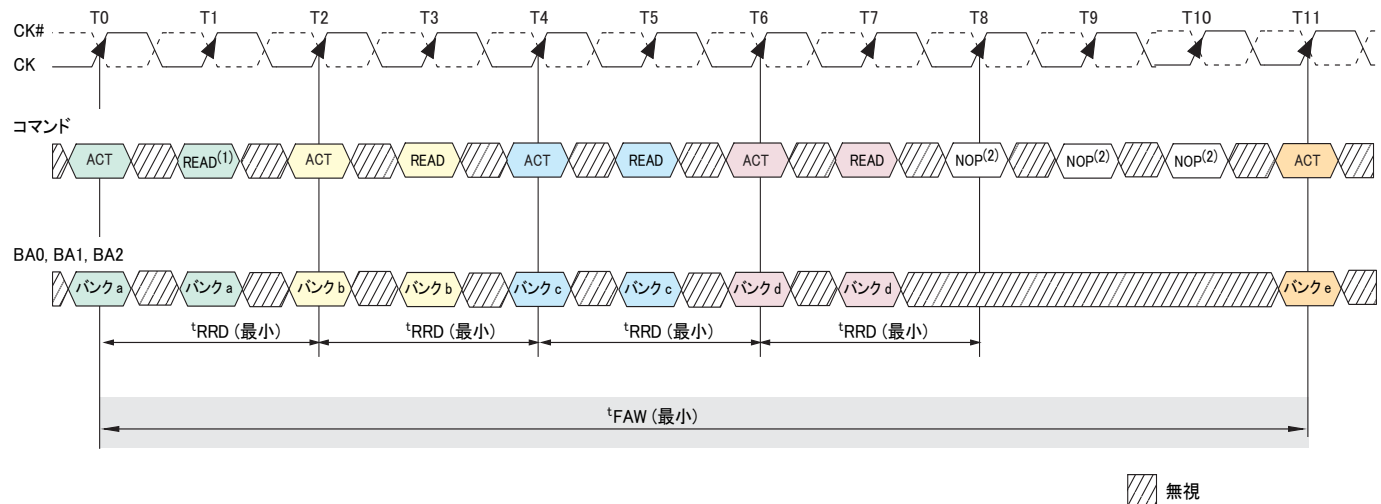
コマンドバスを最適化し、システム性能を上げるために、できるだけ多数のバンクを切り替えるシステムもあります。これは、開いているバンクから READ または WRITE 動作が不規則に発生している間、複数のバンクを長期にわたって同時に開いていること、またはすべてのバンク間をできるだけ速い周期でインターリーブしている (バンク y のリード中にバンク x を開き、バンク w を閉じてバンク z を開く) ことを意味します。これらのシナリオはすべて、DRAM デバイスの内部電源レールに対して厳しい要求を課します。

たとえば、バンクを開くには、コントローラは特定の行アドレスとバンクアドレスとともに DRAM に ACTIVE コマンドを送信します。これによってアドレスデコーダが起動され、一時的な格納のためにセンスアンプに転送されるセルが決定され、I/O 回路にアクセスできるようになります。バンクを閉じるには、PRECHARGE コマンドを発行して、センスアンプから個々のセルへのデータのライトバックを開始します。個々のバンクを開いたり閉じたりするこれらのシーケンスでは、かなりのサージ電流が流れます。これまでの DDR DRAM は最大 4 の内部バンクで動作していました。より大容量の DDR2 デバイスでは、8 つのバンクをサポートします。このために、JEDEC では、セット期間内にアクティブにすることができるバンクの数を制限しています。

DDR2 デバイスでは、Four Active banks (¹FAW) ウィンドウと呼ばれる新しいタイミングパラメータをサポートしています。これは、5 つ以上の ACTIVE コマンドが発生する前に経過している必要がある最小時間です。5 つ以上のバンクを同時に開くことは許されていま

すが、ACTIVE コマンドを続ける場合は、 t_{FAW} (最小) ウィンドウの後に間隔を置く必要があります。図 3 に示すように、4 番目の開いたバンクの t_{RCD} は T8 に完了します t_{FAW} (最小) 条件を満たすために、5 番目の ACTIVE コマンドは T11 まで待たなければなりません。

図 3: 8 バンクデバイスでの t_{FAW} の例



- 注: 1. ポストされる CL = 2
 2. 図示の便宜上、上図では NOP コマンドを示していますが、同時に他のコマンドも有効な場合があります。
 3. この例では、 $t_{RRD} = 2$ クロック、 $t_{FAW} = 11$ クロックと想定しています。

t_{FAW} 条件はすべてのデバイスに適用されますが、1Gビット、2Gビット、および4Gビット (x16) 構成ではより大きい2Kバイトのページサイズを持つ8バンクデバイスが存在するので、 t_{FAW} 値はより大きくなります。実際の t_{FAW} 値については表 3 を参照してください。

表 3: すべての容量と速度に対する t_{FAW}

(x4 および x8) 構成	t_{FAW}				単位
	DDR2-400	DDR2-533	DDR2-667	DDR2-800	
256M ビット (1KB ページサイズ)	37.5	37.5	37.5	35.0	ns
512M ビット (1KB ページサイズ)	37.5	37.5	37.5	35.0	ns
1G ビット (1KB ページサイズ)	37.5	37.5	37.5	35.0	ns
2G ビット (1KB ページサイズ)	37.5	37.5	37.5	35.0	ns

(x16) 構成	t_{FAW}				単位
	DDR2-400	DDR2-533	DDR2-667	DDR2-800	
256M ビット (1KB ページサイズ)	37.5	37.5	37.5	35.0	ns
512M ビット (2KB ページサイズ)	50.0	50.0	50.0	45.0	ns
1G ビット (2KB ページサイズ)	50.0	50.0	50.0	45.0	ns
2G ビット (2KB ページサイズ)	50.0	50.0	50.0	45.0	ns

リフレッシュタイミング

DRAM が REFRESH サイクルを実行しているときはアイドル状態であり、リードシーケンスまたはライトシーケンスは実行できません。したがって、高スループットのメモリシステム的设计者はメモリのリフレッシュレートに細心の注意を払います。以前の DRAM テクノロジーのように、DDR2 の静的リフレッシュは 64ms のままです。すなわち、各セルは 64ms の時間制限内にリフレッシュする必要があります。それができない場合は、データが破壊される場合があります。通常、大部分のメモリコントローラでは分散 REFRESH サイクルを使用します。分散リフレッシュレート（または各 AUTO REFRESH コマンド間の平均時間）は、静的リフレッシュレートを行アドレスの数で割って算出されます。したがって、通常は、行アドレスを増やすとリフレッシュレートが増えます（分散リフレッシュ間の時間間隔が短くなります）。

例

$${}^t\text{REFI} = \text{静的リフレッシュ時間/行数}$$

(EQ 3)

上記の標準的な式を使用すると、512M ビットの DDR2 デバイスの分散リフレッシュレートは $3.9\mu\text{s}$ ($64\text{ms}/16\text{k}$ 行) である必要がありますが、512M ビットの DDR2 デバイスの実際の分散リフレッシュレートは $7.81\mu\text{s}$ です。実際は、すべての容量の DDR2 において、周期的なリフレッシュ間隔 (${}^t\text{REFI}$) の平均は $7.81\mu\text{s}$ です。表 4 を参照してください。

表 4 : DDR2 デバイスの主なリフレッシュパラメータ

	タイミング条件の最小値			
	256M ビット	512M ビット	1G ビット	2G ビット
静的リフレッシュ	64ms	64ms	64ms	64ms
リフレッシュ間隔 ${}^t\text{REFI}$ (${}^t\text{CASE} = 85^\circ\text{C}$ の場合)	$7.8\mu\text{s}$	$7.8\mu\text{s}$	$7.8\mu\text{s}$	$7.8\mu\text{s}$
リフレッシュ間隔 ${}^t\text{REFI}$ (${}^t\text{CASE} = 95^\circ\text{C}$ の場合)	$3.9\mu\text{s}$	$3.9\mu\text{s}$	$3.9\mu\text{s}$	$3.9\mu\text{s}$
リフレッシュ時間 ${}^t\text{RFC}$	75ns	105ns	127.5ns	195ns
セルフリフレッシュの終了から READ 以外の ${}^t\text{XSNR}$ まで	85ns	115ns	137.5ns	205ns

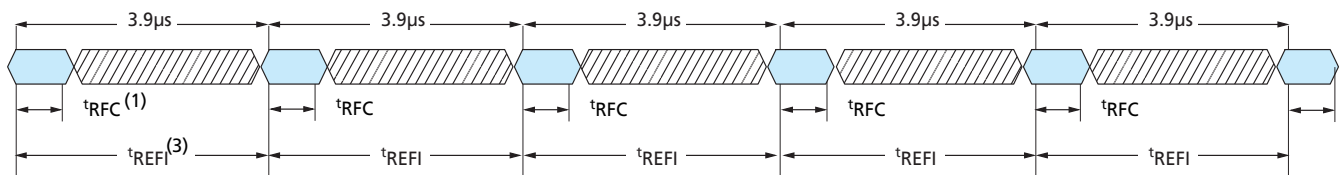
- 注 : 1. ${}^t\text{RFC}$ は 1 つの REFRESH サイクルを完了するまでの時間です。この時間に使用できるのは NOP または DESELECT コマンドに制限されます。
2. ${}^t\text{XSNR}$ は、セルフリフレッシュの終了直後の READ 以外のコマンドまでの時間です。この時間に使用できるコマンドは NOP または DESELECT に制限されます。
3. ${}^t\text{REFI}$ は、分散 REFRESH コマンド間の平均時間です。
4. この表の時間は、DRAM の標準的な動作条件での時間です。高温での動作では時間が長くなる場合があります。
5. ${}^t\text{CASE}$ が 95°C というのはオプション機能なので、すべての設計でサポートされているわけではありません。

これを実現するために、DDR2 DRAM は、受信した外部 AUTO REFRESH コマンド 1 つに対して複数の内部 REFRESH サイクルを実行するように設計されています。これによって 1 つの REFRESH コマンドサイクルを完了するために必要な時間 (t_{RFC}) がわずかに長くなりますが、リフレッシュレートは適正な値に維持されます。

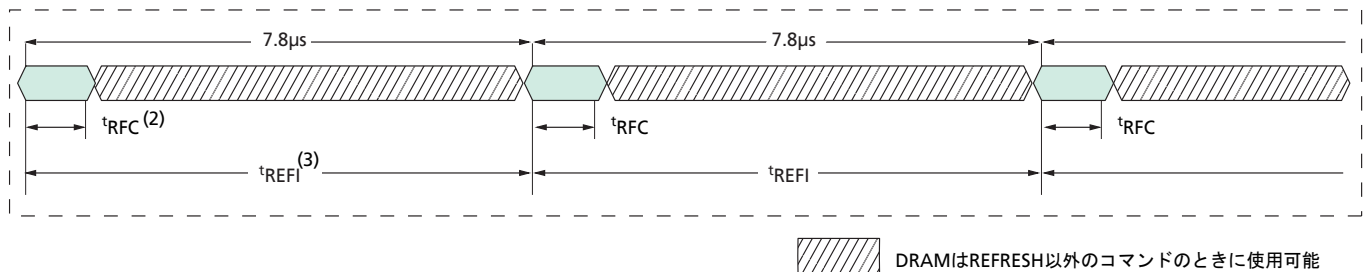
図 4 に、DRAM が 1 つの外部 REFRESH コマンドごとに複数の内部リフレッシュサイクルを実行することの利点を示します。この例では、 $t_{CASE} = 85^{\circ}C$ を想定しています。

図 4 : DDR2 リフレッシュタイミング – 最大 t_{REFI} 時間用に最適化

外部REFRESHコマンドごとに1回の内部リフレッシュ



DRAMは、1つの外部REFRESHコマンドごとに複数の内部リフレッシュサイクルを実行



- 注 : 1. DRAM は、1 つの外部 AR コマンドに対して 1 つの内部リフレッシュを実行します (t_{RFC} 時間は ns 単位)。
 2. DRAM は、1 つの AR コマンドに対して複数の内部リフレッシュを実行します (t_{RFC} 時間は増えるが ns 単位のまま)。
 3. DRAM は、 t_{RFC} 時間後の有効なコマンドを受け付けます (t_{REFI} 時間は μm 単位)。

まとめ

いくつかの簡単な項目について理解すれば、DDR2 によって設計を非常に柔軟に行うことができ、より大容量のメモリへの移行をスムーズに行うことができます。パッケージサイズおよびボールアレイは変わる場合があるので、レイアウトを開始する前に、<http://www.micron.com/products/modules/ddr2sdram/technote.html> の TN-47-08 「DDR2 Package Sizes and Layout Requirements」をよく読んでください。

また、デバイスの容量が増えると、行アドレス、列アドレス、バンクアドレスのいずれかまたはすべてが追加されます。行が追加されると、リフレッシュタイミングが影響を受けます (DDR2 では、¹RFC 時間が長くなります)。バンクが追加されると (一部の DDR2 デバイスでは 8 バンクをサポート)、バンク切り替えのタイミングが影響を受けます。また、新しいタイミングパラメータ ¹FAW が追加され、一定の時間内の ACTIVE コマンドの数が制限されています。



8000 S. Federal Way, P.O. Box 6, Boise, ID 83707-0006、電話番号 : 3-3436-5666
prodmktg@micron.com www.micron.com お客様お問い合わせ先 : 800-932-4992
Micron、M ロゴ、および Micron ロゴは Micron Technology, Inc. の商標です。
他のすべての商標は各所有者に帰属します。